

Intel Core X-series Processors (1)

- Většinou procesory typu Core i7 (popř. i9, i5)
- Vyvíjeny v průběhu předcházejících generací
- Neobsahují grafickou kartu
- Založeny na technologii:
 - **Sandy Bridge E** (32 nm):
 - **Quad Core + HT** i **Hexa Core + HT** (3,20 GHz až 3,60 GHz)
 - kapacita L3 cache je 10 MB, 12 MB nebo 15 MB (sdílená)
 - integrovaný řadič operační paměti podporuje práci pamětmi DDR3-1066, DDR3-1333, DDR3-1600
 - připojeny pomocí rozhraní DMI 2 (5 GT/s)

14/10/2021

1

Intel Core X-series Processors (2)

- **Ivy Bridge E** (22 nm):
 - **Quad Core + HT** i **Hexa Core + HT** (3,40 GHz až 3,70 GHz)
 - kapacita L3 cache je 10 MB, 12 MB nebo 15 MB (sdílená)
 - integrovaný řadič operační paměti podporuje práci pamětmi DDR3-1333, DDR3-1600, DDR3-1866
 - připojeny pomocí rozhraní DMI 2 (5 GT/s)
- **Haswell E** (22 nm):
 - **Hexa Core + HT** i **Octa (Eight) Core + HT** (3,00 GHz až 3,50 GHz)
 - kapacita L3 cache je 15 MB nebo 20 MB (sdílená)
 - řadič operační paměti podporuje práci s pamětmi DDR4-1600, DDR4-1866 a DDR4-2133
 - připojeny pomocí rozhraní DMI 2 (5 GT/s)

14/10/2021

2

Intel Core X-series Processors (3)

- **Broadwell E** (14 nm):
 - **Hexa Core + HT**, **Octa (Eight) Core + HT** i **Ten Core + HT** (3,00 GHz až 3,60 GHz)
 - kapacita L3 cache je 15 MB, 20 MB nebo 25 MB (sdílená)
 - řadič operační paměti podporuje práci s pamětmi DDR4-2133 a DDR4-2400
 - připojeny pomocí rozhraní DMI 2 (5 GT/s)
- **Kaby Lake X** (14 nm):
 - **Quad Core** a **Quad Core + HT** (4,00 GHz a 4,30 GHz)
 - kapacita L3 cache je 6 MB nebo 8 MB (sdílená)
 - připojeny pomocí rozhraní DMI 3 (8 GT/s)

14/10/2021

3

Intel Core X-series Processors (4)

- řadič operační paměti podporuje práci s pamětmi DDR4-2666
- **Skylake X** (14 nm):
 - počty jader jsou 6, 8, 10, 12, 14, 16, 18
 - všechny varianty podporují HT
 - každé jádro obsahuje 1 MB L2 cache paměti
 - L3 cache paměť je sdílená mezi jádry a má kapacitu alespoň 1,375 MB × počet jader
 - řadič operační paměti podporuje práci s pamětmi DDR4-2400 nebo DDR4-2666
 - připojeny pomocí rozhraní DMI 3 (8 GT/s)
 - obsahují rozšíření instrukční sady **AVX-512**

14/10/2021

4

Intel Core X-series Processors (5)

- **Cascade Lake** (14 nm):
 - počty jader jsou 10, 12, 14, 18
 - všechny varianty podporují HT
 - každé jádro obsahuje 1 MB L2 cache paměti
 - L3 cache paměť je sdílená mezi jádry a má kapacitu alespoň 1,375 MB × počet jader
 - řadič operační paměti podporuje práci s pamětmi DDR4-2933
 - připojeny pomocí rozhraní DMI 3 (8 GT/s)
 - obsahují rozšíření instrukční sady **AVX-512**

14/10/2021

5

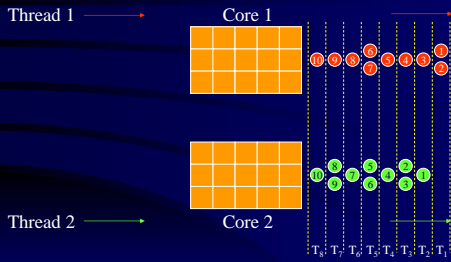
Intel Core X-series Processors (6)

- Obsahují další rozšíření instrukční sady **AES (Advanced Encryption Standard)**:
 - slouží pro zvýšení rychlosti aplikací provádějících kódování a dekódování

14/10/2021

6

HT vs Dual Core (7)

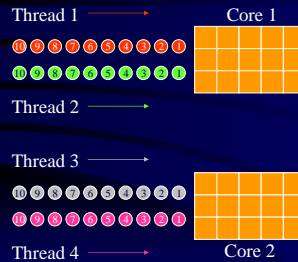


14/10/2021

13

HT vs Dual Core (8)

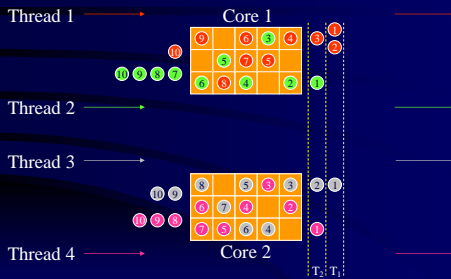
- Procesor obsahující Dual Core i HT:



14/10/2021

14

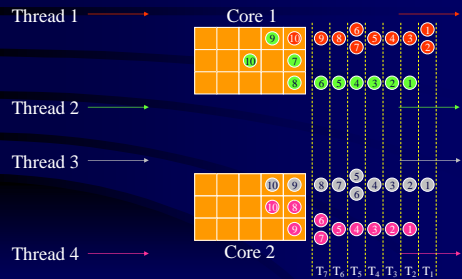
HT vs Dual Core (9)



14/10/2021

15

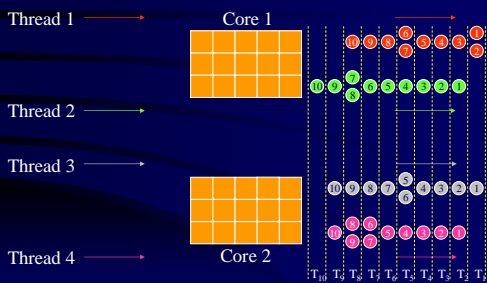
HT vs Dual Core (10)



14/10/2021

16

HT vs Dual Core (11)



14/10/2021

17

Intel 64 Architecture (1)

- Architektura označovaná dříve jako **EM64T** – Extended Memory 64 Technology
- Dovoluje potenciálně 64bitové adresování paměti, tj. mapování (stránkování) 64bitové lineární adresy na 52bitovou adresu fyzickou
- První implementace Intel 64 Architecture umožňovala pouze mapování 48bitové lineární adresy na 40bitovou fyzickou adresu
- Dnes je mapování možné na 52bitovou fyzickou adresu

14/10/2021

18

Intel 64 Architecture (2)

- Přináší nový režim označovaný jako **IA-32e mode**, který se dělí na dva podrežimy:
 - **compatibility mode**:
 - dovoluje, aby pod 64bitovým operačním systémem pracovaly původní 32bitové aplikace
 - **64-bit mode**:
 - umožňuje (v rámci 64bitového OS) spouštět nové 64bitové aplikace
 - v rámci tohoto režimu má aplikace mimo jiné přístup k:
 - 64bitovému (48bitovému) lineárnímu adresovému prostoru
 - 8 novým registrům pro obecné použití
 - 8 novým registrům pro SSE, SSE2 a SSE3
 - 64bitovým registrům pro obecné použití
 - 64bitovému zpracování celých čísel

14/10/2021

19

Intel 64 Architecture (3)

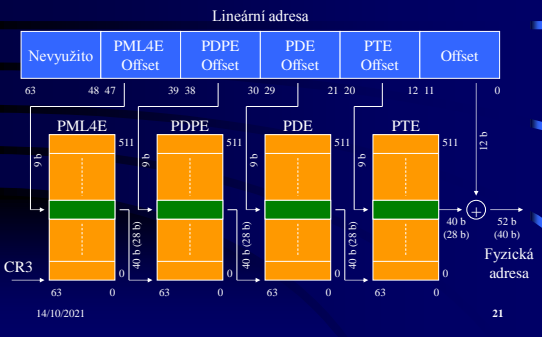
- používá tzv. **flat model**:
 - segmentace je obecně vypnuta, tzn. že básová adresa daná registry CS, DS, ES a SS je brána jako rovná nule ⇒ lineární adresa je rovna adrese efektivní
 - výjimku tvoří básová adresy dané registry FS a GS, jejichž hodnoty lze použít jako další báze při výpočtu lineární adresy
- stránkování je umožněno pomocí 4 tabulek:
 - **PML4E** – Page Map Level 4 Table Entry
 - **PDPE** – Page Directory Pointer Table Entry
 - **PDE** – Page Directory Table Entry
 - **PTE** – Page Table Entry
- v rámci tohoto režimu jsou podporovány tři (dva) stránkovací režimy s velikostí stránky:
 - 4 kB (dostupný už v první implementaci)
 - 2 MB (dostupný už v první implementaci)
 - 1 GB (dostupný až v současné implementaci)

14/10/2021

20

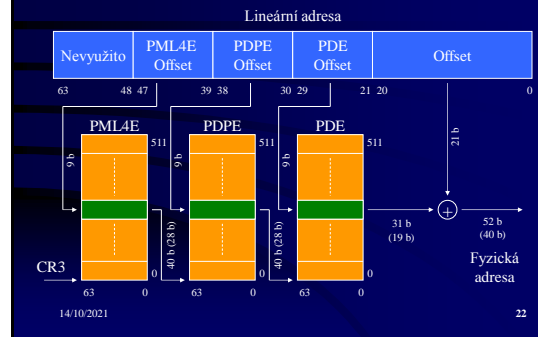
Intel 64 Architecture (4)

Stránkovací režim se stránkou o velikosti 4 kB:



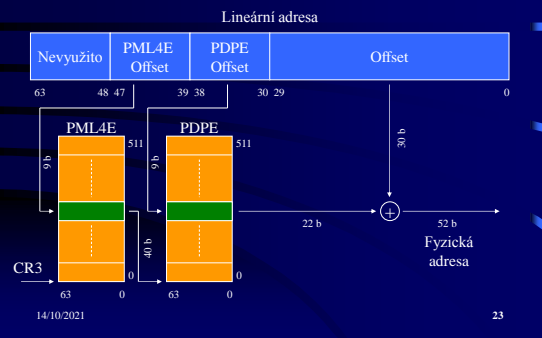
Intel 64 Architecture (5)

Stránkovací režim se stránkou o velikosti 2 MB:



Intel 64 Architecture (6)

Stránkovací režim se stránkou o velikosti 1 GB:



Paměti (1)

- **Paměť**: zařízení, které slouží k ukládání programů a dat, s nimiž počítač pracuje
- Paměti počítače lze rozdělit do tří základních skupin:
 - **registry**:
 - paměťová místa na čipu procesoru
 - jsou používány pro krátkodobé uchování právě zpracovávaných informací
 - **vnitřní (interní)**:
 - paměti osazené většinou uvnitř základní jednotky
 - realizovány pomocí polovodičových součástek

14/10/2021

24

Paměti (2)

- jsou do nich zaváděny právě spouštěné programy (nebo alespoň jejich části) a data, se kterými tyto programy pracují
- **vnější (externí):**
 - paměti realizované většinou za pomoci zařízení používajících výměnná média v podobě disků či magnetofonových pásek
 - záznam se provádí většinou na magnetickém nebo optickém principu (mohou být také realizovány pomocí polovodičových součástek – např. flash disky)
 - slouží pro dlouhodobé uchování informací a zálohování dat

14/10/2021

25

Parametry paměti (1)

- **Kapacita:**
 - množství informací, které je možné do paměti uložit
- **Přístupová doba:**
 - doba, kterou je nutné čekat od zadání požadavku, než paměť zpřístupní požadovanou informaci
- **Přenosová rychlost:**
 - množství dat, které lze z paměti přečíst (do ní zapsat) za jednotku času

14/10/2021

26

Parametry paměti (2)

- **Statičnost / dynamičnost:**
 - **statické paměti:**
 - uchovávají informaci po celou dobu, kdy je paměť připojena ke zdroji elektrického napětí
 - **dynamické paměti:**
 - zapsanou informaci mají tendenci ztrácet i v době, kdy jsou připojeny k napájení
 - informace v takových pamětech je tedy nutné neustále periodicky oživovat, aby nedošlo k jejich ztrátě

14/10/2021

27

Parametry paměti (3)

- **Destruktivnost při čtení:**
 - **destruktivní při čtení:**
 - přečtení informace z paměti vede ke ztrátě této informace
 - přečtená informace musí být následně po přečtení opět do paměti zapsána
 - **nedestruktivní při čtení:**
 - přečtení informace žádným negativním způsobem tuto informaci neovlivní

14/10/2021

28

Parametry paměti (4)

- **Energetická závislost / nezávislost:**
 - **energeticky závislé:**
 - paměti, které uložené informace po odpojení od zdroje napájení ztrácejí
 - **energeticky nezávislé:**
 - paměti, které uchovávají informace i po dobu, kdy nejsou připojeny ke zdroji elektrického napájení

14/10/2021

29

Parametry paměti (5)

- **Přístup:**
 - **sekvenční:**
 - před zpřístupněním informace z paměti je nutné přečíst všechny předcházející informace
 - **přímý:**
 - je možné zpřístupnit přímo požadovanou informaci
- **Spolehlivost:**
 - střední doba mezi dvěma poruchami paměti
- **Cena za bit:**
 - cena, kterou je nutno zaplatit za jeden bit paměti

14/10/2021

30

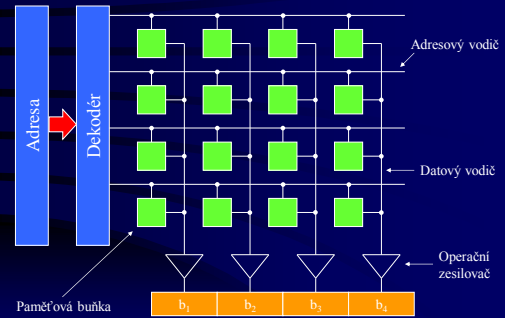
Vnitřní paměti (1)

- Zapojeny jako **matice paměťových buněk**
- Každá buňka má kapacitu **jeden bit**
- Jedna paměťová buňka tedy může uchovávat pouze hodnotu **logická 1** nebo **logická 0**
- V případě vnitřních pamětí s menší kapacitou je možné jejich strukturu znázornit následujícím schématem:

14/10/2021

31

Vnitřní paměti (2)



14/10/2021

32

Paměti ROM (1)

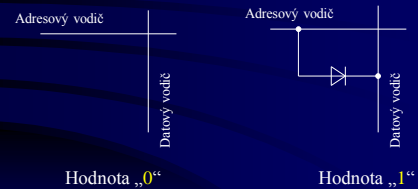
- **ROM** – **R**ead **O**nly **M**emory
- Paměti určené pouze pro čtení uložených informací
- Informace jsou do těchto pamětí pevně zapísány při jejich výrobě
- Potom již není možné žádným způsobem jejich obsah změnit
- Jedná se o statické a energeticky nezávislé paměti

14/10/2021

33

Paměti ROM (2)

- Paměťová buňka ROM (pomocí diody):

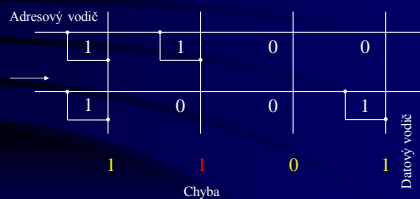


14/10/2021

34

Paměti ROM (3)

- Chybná matice paměti ROM:

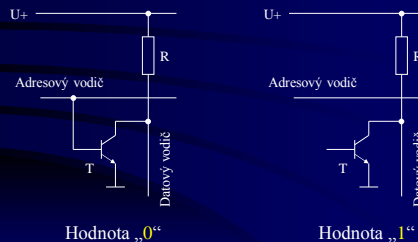


14/10/2021

35

Paměti ROM (4)

- Paměťová buňka ROM (pomocí tranzistoru TTL):

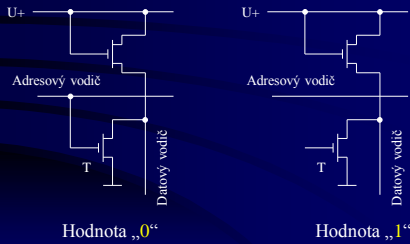


14/10/2021

36

Paměti ROM (5)

- Paměťová buňka ROM (pomocí tranzistoru MOS):



14/10/2021

37

Paměti PROM (1)

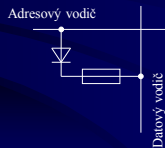
- **PROM** – **P**rogramable **R**ead **O**nly **M**emory
- Neobsahují po vyrobení žádnou pevnou informaci
- Příslušný zápis informace provádí uživatel
- Zápis je možné provést pouze jednou a poté již paměť slouží stejně jako paměť ROM
- Zápis informace se provádí vyšší hodnotou elektrického proudu (cca 10 mA), která způsobí přepálení tavné pojistky

14/10/2021

38

Paměti PROM (2)

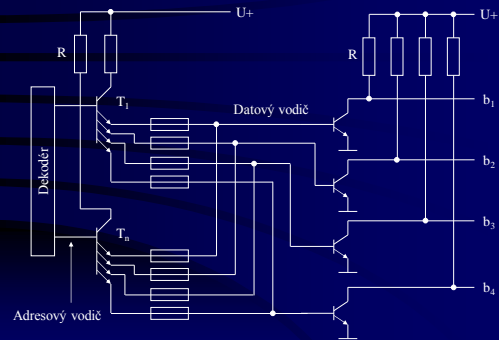
- Paměti PROM představují statické a energeticky nezávislé paměti
- Paměťová buňka PROM (pomocí diody a pojistky – NiCr):



14/10/2021

39

Paměti PROM (3)



14/10/2021

40

Paměti EPROM

- **EPROM** – **E**raseable **P**ROM
- Statické energeticky nezávislé paměti určené pro čtení i zápis informací
- Zapsané informace je možné vymazat působením ultrafialového záření
- Realizovány pomocí speciálních unipolárních tranzistorů, které jsou schopny na svém přechodu udržet elektrický náboj po dobu až několika let

14/10/2021

41

Paměti EEPROM (1)

- **EEPROM** – **E**lectrically **E**EPROM
- Mají podobné chování jako paměti EPROM, tj. jedná se o statické, energeticky nezávislé paměti, které je možné naprogramovat a později z nich informace vymazat
- Vymazání se provádí elektricky a nikoliv pomocí UV záření
- Vyrábí se pomocí speciálních tranzistorů vyrobených technologií **MNOS** (**M**etal **N**itrid **O**xide **S**emiconductor)

14/10/2021

42

Paměti EEPROM (2)

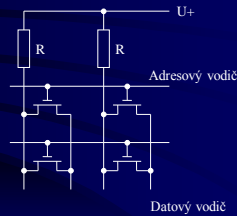
- Jedná se o tranzistory, na jejichž řídicí elektrodě (Gate) je nanesena vrstva nitridu křemíku (Si_3N_4) a pod ní je umístěna tenká vrstva oxidu křemičitého (SiO_2)
- Buňka paměti EEPROM pracuje na principu **tunelování (vkládání) elektrického náboje** na přechod těchto dvou vrstev

14/10/2021

43

Paměti EEPROM (3)

- Paměťová buňka EEPROM (matice 2×2):



14/10/2021

44

Paměti Flash (1)

- Obdoba pamětí EEPROM
- Paměti, které je možné naprogramovat a které jsou statické a energeticky nezávislé
- Vymazání se provádí elektrickou cestou, jejich přeprogramování je možné provést přímo v počítači
- Paměť typu flash tedy není nutné před vymazáním (naprogramováním) z počítače vyjmout a umístit ji do speciálního programovacího zařízení

14/10/2021

45

Paměti Flash (2)

- Narozdíl od EEPROM se u paměti flash provádí mazání nikoliv po jednotlivých buňkách, ale po celých blocích
- Paměťová buňka je tvořena tranzistorem, jehož elektroda gate je rozdělena na dvě části:
 - **Control Gate:**
 - připojená k adresovému vodiči
 - **Floating Gate:**
 - oddělená od control gate izolační vrstvou
 - umožňuje uložení elektrického náboje, pomocí něhož buňka uchovává hodnotu logická 0 nebo logická 1

14/10/2021

46

Paměti Flash (3)

- Flash paměti se dělí do dvou základních skupin:
 - **NOR flash:**
 - poskytují rozhraní s vyhrazenými adresovými a datovými vodiči \Rightarrow umožňují přímý přístup k dané paměťové buňce
 - chovají se jako paměti, které jsou mapované do určité části adresového prostoru
 - dovolují používat techniku **XIP – Execute In Place:**
 - je možné přímo spouštět programy, které jsou v nich uloženy
 - spouštěné programy z těchto pamětí není nutné nejprve kopírovat do paměti RAM

14/10/2021

47

Paměti Flash (4)

- mnohdy se však používá technika **RAM shadowing**, tj. kód z paměti flash se nejdříve zkopíruje do rychlejší paměti RAM, kde je následně spuštěn
- umožňují cca 10000 – 100000 smazání a následných zápisů
- mají menší hustotu paměťových buněk (dáno adresovacím mechanismem dovolujícím přímý přístup k paměťové buňce)
- poskytují vyšší rychlost při čtení, avšak jsou pomalejší při zápisu i při mazání a jsou cenově nákladnější
- používány zejména pro ukládání firmwaru (BIOS, firmware pro mobilní telefony, GPS apod.)
- nejsou vhodné pro ukládání větších objemů dat

14/10/2021

48

Paměti Flash (5)

– NAND Flash:

- jsou připojeny pomocí relativně jednoduchého rozhraní
- nevyžadují plnou šířku adresové a datové sběrnice
- data a příkazy jsou multiplexovány do 8 I/O linek, pomocí nichž jsou zaslány do interního registru
- práce s flash pamětí NAND probíhá typicky v následujících krocích:
 - zaslání příkazu (např. read nebo write)
 - zaslání 4bytové adresy vyjadřující, odkud budou data čtena, resp. kam budou zapisována
 - vyčkání, až flash paměť umístí požadovaná data do výstupního registru nebo zaslání zapisovaných dat
 - přečtení, resp. zapsání dat

14/10/2021

49

Paměti Flash (6)

- výhodou tohoto řešení je, že není nutné měnit počet vývodů příslušných integrovaných obvodů s měnící se kapacitou flash paměti ⇒ snadnější upgrade
- ve srovnání s NOR flash pamětmi jsou pomalejší při čtení, ale rychlejší při zápisu i při mazání
- dovolují cca 100000 – 1000000 smazání a zápisů
- používány zejména pro výrobu paměťových karet (např. SD card, SmartMedia, CompactFlash, Memory Stick)
- Poznámka:
 - existují i paměti **MLC (Multi-Level Cell) NAND**, které dovolují v rámci jedné paměťové buňky uchovat dva bity (00, 01, 10, 11)

14/10/2021

50

Paměti RAM

- **RAM – Random Access Memory**
- Paměti určené pro zápis i pro čtení dat
- Jedná se o paměti, které jsou energeticky závislé
- Podle toho, zda jsou dynamické nebo statické, jsou dále rozdělovány na:
 - **DRAM – Dynamické RAM**
 - **SRAM – Statické RAM**

14/10/2021

51

Paměti SRAM (1)

- **SRAM – Static Random Access Memory**
- Uchovávají informaci v sobě uloženou po celou dobu, kdy jsou připojeny ke zdroji elektrického napájení
- Paměťová buňka je realizována jako **bistabilní klopný obvod**, tj. obvod, který se může nacházet vždy v jednom ze dvou stavů, které určují, zda v paměti je uložena 1 nebo 0
- Mají nízkou přístupovou dobu (1 – 20 ns)

14/10/2021

52

Paměti SRAM (2)

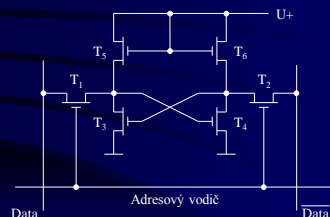
- Jejich nevýhodou je naopak vyšší složitost a z toho plynoucí vyšší výrobní náklady
- Jsou používány především pro realizaci paměti typu **cache (L1, L2 i L3)**
- Paměťová buňka používá dvou datových vodičů:
 - **Data:** určený k zápisu do paměti
 - **Data:** určený ke čtení z pamětiHodnota na tomto vodiči je vždy opačná než hodnota uložená v paměti

14/10/2021

53

Paměti SRAM (3)

- Paměťová buňka SRAM:



14/10/2021

54

Paměti DRAM (1)

- **DRAM** – **D**ynamic **R**andom **A**ccess **M**emory
- Informace je uložena pomocí elektrického náboje na kondenzátoru
- Tento náboj má však tendenci se vybití i v době, kdy je paměť připojena ke zdroji elektrického napájení
- Aby nedošlo k tomuto vybití a tím i ke ztrátě uložené informace, je nutné periodicky provádět tzv. **refresh**, tj. ožívování paměťové buňky

14/10/2021

55

Paměti DRAM (2)

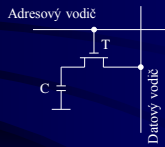
- Buňka paměti DRAM je velmi jednoduchá a dovoluje vysokou integraci a nízké výrobní náklady
- Díky těmto vlastnostem je používána k výrobě operačních pamětí
- Její nevýhodou je však vyšší přístupová doba (10 – 70 ns) způsobená nutností provádět refresh a časem potřebným k nabití a vybití kondenzátoru

14/10/2021

56

Paměti DRAM (3)

- Buňka paměti DRAM:



14/10/2021

57